

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-228041

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月11日

H 01 L 21/336
21/20
29/784

7739-5F

8624-5F H 01 L 29/78 3 1 1 Y

審査請求 有 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 題 平1-46475

⑰ 出 願 平1(1989)3月1日

⑱ 発 明 者 井 上 靖 朗 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 西 村 正 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 発 明 者 楠 茂 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉑ 出 願 人 工業技術院長 東京都千代田区霞が関1丁目3番1号

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) SOI構造の電界効果型トランジスタを製造する半導体装置の製造方法において、

SOI層上に順次ゲート絶縁膜、ゲート電極、及び酸化膜を形成し、これらをパターニングする工程と、

上記ゲート電極をマスクとして、上記SOI層に低濃度不純物イオン注入を行う工程と、

上記ゲート電極の側壁に酸化膜スペーサを形成する工程と、

上記酸化膜スペーサをマスクとして、上記SOI層をパターニングする工程と、

上記パターニングされたSOI層の側面をシードとして高濃度不純物ドーピングを伴う選択シリコンエピタキシャル成長を行う工程と、

上記エピタキシャル成長されたシリコン層に接続する配線層を形成する工程とを含むことを特徴

とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置の製造方法に関し、特にSOI (Silicon on Insulator) 型の電界効果型トランジスタ(FET)の製造方法に関するものである。

(従来の技術)

第3図は、従来のSOI型半導体装置の断面図を示したものであり、図において、1はシリコン基板、2は酸化膜、5はゲート、9はトランジスタのソース領域、10はトランジスタのドレイン領域、11はトランジスタのチャネル部、13は配線、60はシリコン酸化膜である。

次に、第4図を用いて第3図に示したような従来のSOI型半導体装置の製造方法を説明する。

まず、第4図(a)に示すように、SOI基板に通常のLOCOS分離法を用いてフィールド酸化を行い、素子領域3を形成する。次に、同図(b)のように、ゲート酸化膜4、ゲート電極材5、シリコ

特開平2-228041 (2)

ン酸化膜6を堆積した後パターンニングを行い、ゲートを形成する。ここで、酸化膜6を堆積せずにパターンニングを行うことも可能である。次に、同図(c)に示すように、全面に上記ゲートをマスクとする低濃度のイオン注入を行って、ソース・ドレインとなるべき低濃度のイオン注入領域を形成する。次に、同図(c)に示すように、ゲートの側壁に酸化膜のスペーサ8を形成し、ゲート及びスペーサ8をマスクとしてイオン注入を行い、ソース・ドレイン領域に高濃度のイオン注入領域9b、10bを形成する(同図(c))。このように(a)~(c)は、LDD (Lightly Doped Drain/Source) と呼ばれる低濃度領域9a、10a及び高濃度領域9b、10bからなるソース9、ドレイン10を形成する工程である。次に、ウエハ全面にシリコン酸化膜などの層間絶縁膜20を堆積する(同図(d))。次に、ソース9とドレイン10の部分へコンタクトを形成し(同図(e))、ウエハ全面に配線材料13を堆積する(同図(f))。最後に、前記配線材料13をパターンニングすることによりトランジスタ

として動作可能となる。

(発明が解決しようとする課題)

従来のSOI型半導体装置の製造方法は以上のように構成されているので、配線をトランジスタのソース及びドレイン領域に接続するに際して配線がゲートと電気的に短絡しないように、コンタクトホールとゲートとの間に十分に広い領域を確保する必要があった。このため、ゲート長が短くなって微細化が進んでいるにもかかわらず、トランジスタ全体としての微細化が十分ではないという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、コンタクトホールを形成する工程を省略できるとともに、トランジスタ全体の微細化を実現できるSOI型半導体装置の製造方法を得ることを目的としている。

(課題を解決するための手段)

この発明に係る半導体装置の製造方法は、LDD技術に用いるスペーサをマスクとしてソース及びドレイン領域のSOI層をパターンニングし、そ

の端面をシードとしてドーピングS1の選択エピタキシャル成長を行い、このエピタキシャルS1層に接続する配線層を形成するようにしたものである。

(作用)

この発明においては、ゲート電極側壁のスペーサをマスクとしてSOI層をパターンニングし、その端面をシードとしてドーピングS1を選択エピタキシャル成長させることにより、コンタクトホール形成のプロセスを省略し、コンタクトの面積を縮小することが可能となる。

(実施例)

以下、この発明の一実施例を図について説明する。

第1図はこの発明の一実施例によるSOI型MOSFETのプロセスフローを示す断面図であり、第2図はその工程(a)、(b)の段階に対応する上面図である。これらの図において、1はシリコン基板、2はSiO₂などの絶縁物、3はSOI (Silicon on Insulator)、4はゲート酸化膜、5はゲ

ト、6はSiO₂、7はイオン注入、8はSiO₂のスペーサ、9はトランジスタのソース領域、10はドレイン領域、11はチャネル、12はフィールド酸化膜、13は配線である。

まず、第1図(a)に示すようなSOI構造の基板に対して、MOSFETのチャネルの両サイドを分離するため、第2図(a)に示すようにサイドだけを決めたマスクを用いてフィールド酸化を行う。この時、隣り合うトランジスタのソースとドレイン方向はSOI領域3でつながっている。次に、第1図(b)、第2図(b)のようにゲート酸化膜4形成後、ゲート5を形成し、さらにその上に酸化膜6を形成し、これらをゲートのマスクを用いてパターンニングする。次に、第1図(c)のようにウエハ全面に例えばnチャネルトランジスタの場合n⁺となるようにイオン注入7を行う。次に、同図(d)のように酸化膜を全面に堆積し、酸化膜異方性エッチングによりゲートの周囲にSiO₂、スペーサ8を形成する。次に、同図(e)のように前記SiO₂、スペーサ8をマスクにしてシリコンの異方性エッ

特開平2-228041(3)

チングを行い、SOI層を分離する。次に、SiO₂。スペーサ8の下に単結晶シリコン9a、10aをシードとして、同図10のようにシリコンの選択エピタキシャル成長を行ってシリコン層9b、10bを形成する。このとき、このエピタキシャル成長シリコン層9b、10bにn⁺のドーピングを行い、前記SiO₂。スペーサ8下の単結晶シリコン9a、10aとで、LDD (Lightly doped Drain/Source) 9、10を形成する。最後に、全面に配線材料を堆積し、パターニングすることにより配線13を形成する(同図14)。またこのとき、全面に酸化膜を増積した後、前記エピタキシャルシリコン領域9b、10bへのコンタクトを形成することも可能である。

このように、本実施例では、n⁺ソース/ドレインをシリコンの選択エピタキシャル成長により形成したため、従来のようにリソグラフィーで形成したフィールド酸化膜と、スペーサとの間に形成されるものよりも、十分に小さく形成できる。また、n⁺ソース/ドレインと配線とのコンタ

クトをセルフアライン的に形成できるので、コンタクトホール形成のプロセスを省略でき、コンタクトの面積を縮小できる。

(発明の効果)

以上のように、この発明に係る半導体装置の製造方法によれば、ゲート電極側壁に形成した酸化膜スペーサをマスクとしてSOI層をパターニングし、このスペーサ下のSiをシードとしてコンタクトとなる領域のSiの選択エピタキシャル成長を行い、このエピタキシャルSi層に接続する配線層を形成するようにしたので、コンタクト領域を十分に小さく形成でき、かつ配線とのコンタクトをセルフアライン的に形成でき、トランジスタを小さくして高集積化を図ることができる効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例によるSOI型MOSFETのプロセスフローを示す断面図、第2図はその一部の工程に対応する上面図、第3図は従来のSOI型MOSFETを示す断面図、第4

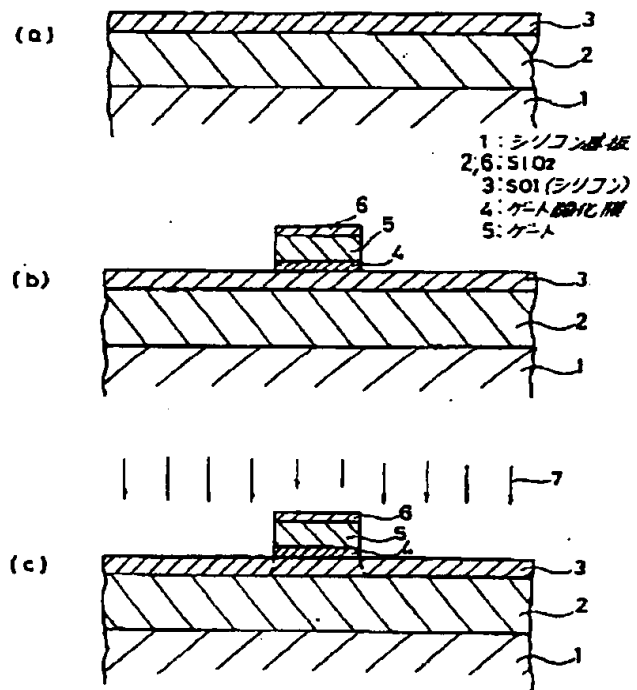
図はそのプロセスフローを示す図である。

図中、1はシリコン基板、2はSiO₂、3はSOI、4はゲート酸化膜、5はゲート、6はSiO₂、7はイオン注入、8はSiO₂。スペーサ、9、10はソース/ドレイン領域、11はチャネル、12はフィールド酸化膜、13は配線である。

なお、図中、同一符号は同一、または相当部分を示す。

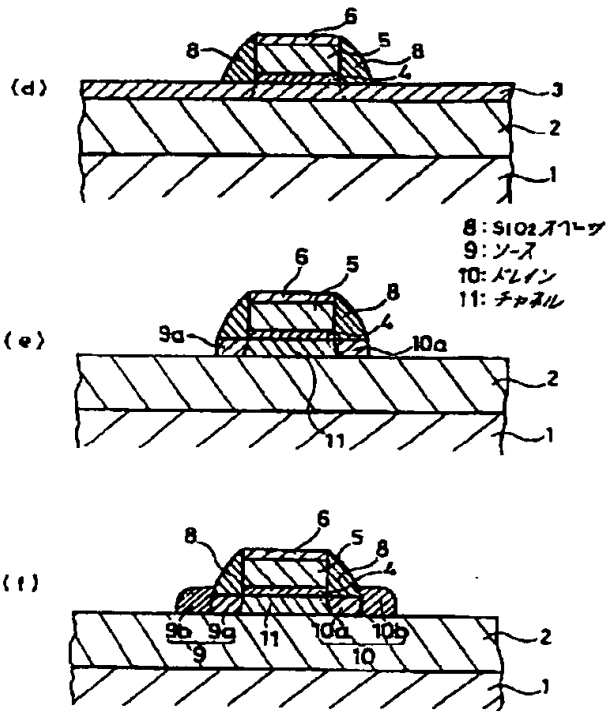
特許出願人 工業技術院長 飯塚幸三

第1図(その1)

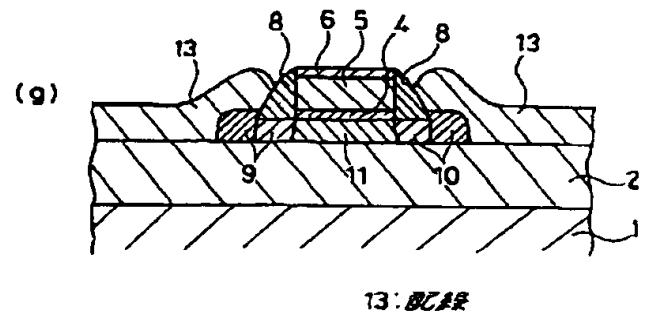


特開平2-228041 (4)

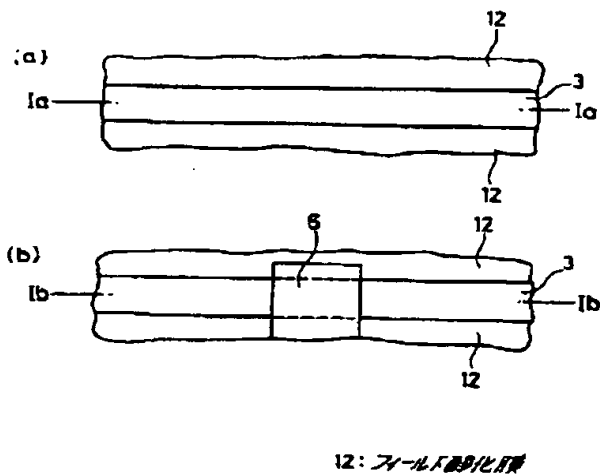
第 1 図 (4a2)



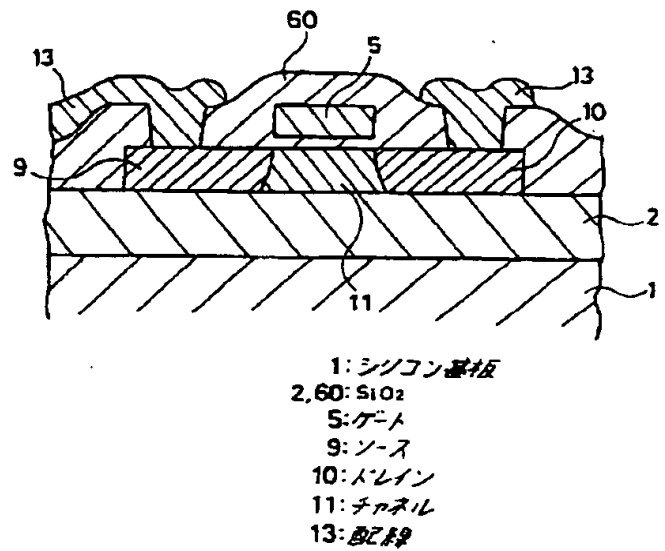
第 1 図 (4a3)



第 2 図

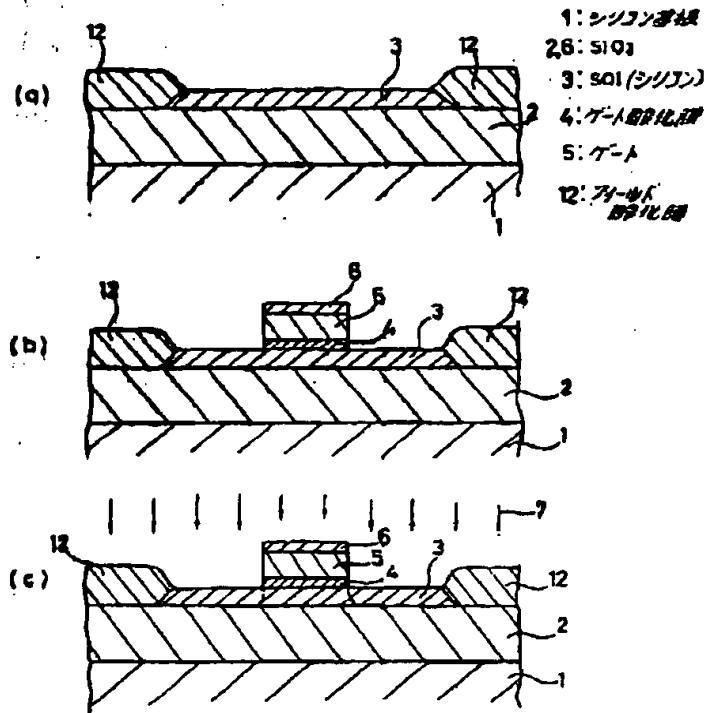


第 3 図

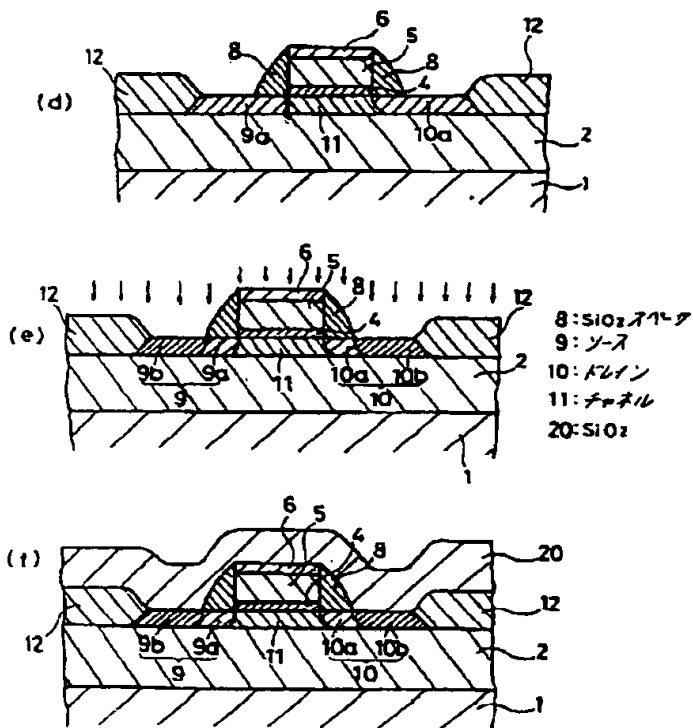


特開平2-228041(5)

第4図(モ1)



第4図(モ2)



第4図(モ3)

